

PAT-NO: JP363037656A
DOCUMENT-IDENTIFIER: JP 63037656 A
TITLE: SHOTTKY BARRIER DIODE
PUBN-DATE: February 18, 1988

INVENTOR-INFORMATION:
NAME
KANAI, HIDEKI

ASSIGNEE-INFORMATION:
NAME FUJI ELECTRIC CO LTD COUNTRY
N/A

APPL-NO: JP61180591
APPL-DATE: July 31, 1986

INT-CL (IPC): H01L029/48, H01L029/91
US-CL-CURRENT: 257/471, 257/620

ABSTRACT:

PURPOSE: To reduce a defect factor in order to obtain a flow of large current, by forming triangular or trapezoidal chips also on the peripheral part of a circular semiconductor substrate, on which chips are not formed conventionally.

CONSTITUTION: Square chips mutually partitioned by guard rings 2 are disposed in rows and columns to form a plaid pattern on the flat plane of a circular semiconductor substrate 1, and are provided with square electrodes 4 which are insulated to each other by using an insulating

film 3. In spaces
left remain on the peripheral part of the substrate 1,
resulted from formation
of the square chips, triangular or trapezoidal chips, whose
spaces against the
square chips and between themselves are partitioned also by
guard rings, are
formed so as to neighbor the square chips, and provided
with triangular
electrodes 6 and trapezoidal electrodes 7 both of which are
mutually insulated
by the oxide film 3, and outermost peripheries of these
electrodes 6 and 7 are
formed in circular shapes eccentric with the substrate 1.
Hence, areas
effective for elements can be enlarged.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報(A)

昭63-37656

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)2月18日

// H 01 L 29/48
H 01 L 29/91

B-7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 ショットキーバリアダイオード

⑰ 特 願 昭61-180591

⑱ 出 願 昭61(1986)7月31日

⑲ 発 明 者 金 井 秀 樹 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 富 村 深

明 細 書

1. 発明の名称 ショットキーバリアダイオード

2. 特許請求の範囲

- 1) 円形の半導体基板にガードリングを設け、このガードリングにより互いに隔離された方形のチップを市松模様状に配列するとともに、半導体基板の周辺部に残る空間に同様にガードリングにより互いに隔離されたほぼ台形状または三角形のチップを設けたことを特徴とするショットキーバリアダイオード。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、1個の半導体基板に設けたガードリングにより互いに隔離されたチップを複数個形成し、不良部のチップに相当する部分の電極を除去し、残るチップを並列接続したショットキーバリアダイオードに関する。

(従来技術とその問題点)

この種のショットキーバリアダイオードは、第3a図、第3b図に示すように、円形の半導体基板1(図はその四半部を示す)の平面上にガードリング2によって互いに隔離された方形のチップが縦横に列をなして市松模様状に配列され、それぞれに酸化膜3により互いに絶縁された電極4が設けられたものが知られている。このようなショットキーバリアダイオードでは半導体基板1の周辺部にできる台形状あるいは三角形の空間5はダイオード素子として機能せず、基板面積に対する素子としての有効面積が小さい。そのため除去できる不良部分数が少なく、結果として、ショットキーバリアダイオードとしての不良率が高いという欠点があった。

(発明の目的)

本発明の目的は、不良率が小さく大電流を流し得るショットキーバリアダイオードを提供することにある。

(発明の要点)

本発明はこの目的を達成するため、円形の半導体基板にガードリングを設け、このガードリングにより互いに隔離された方形のチップを市松模様状に配列するとともに、半導体基板の周辺部に残る空間に同様にガードリングにより互いに隔離されたほぼ台形状または三角形形状のチップを設けるものであり、方形のチップを形成できない基板部分にも方形とは異なる形状チップを形状することにより素子としての有効面積を広げるものである。(発明の実施例)

次に本発明の実施例を図面について説明する。

第1a図、第1b図は本発明の実施例の四半部のそれぞれ平面図、側面図で、円形の半導体基板1の平面上に、ガードリング2によって互いに隔離された方形のチップが縦横に列をなして市松模様状に配列され、それぞれに酸化膜3により互いに絶縁された方形形状の電極4が設けられている。方形のチップを形成した結果基板1の周辺部に残る空間には、方形形状のチップに隣接するように、

去する(第2b図)。

全面にバリアメタルと電極金属を蒸着し、ガードリング2により囲まれた部分以外の部分をフォトリソエッチングにより除去し、方形形状の電極4、三角形形状の電極5、および台形状の電極7を形成する(第2c図、第1a図)。

試験の結果不良と判定された部分8の電極およびバリアメタルをエッチングにより除去する(第2d図)。

モリブデン接触板9、10で上下より挟み、加圧板11、12、絶縁リング13より形成されるパッケージ内に組み込むことにより加圧接触構造のショットキーバリアダイオードが完成する(第2e図)。

基板に形成したチップの最外周部の辺が基板と同心円状になっているから、バリアメタルと電極金属を蒸着する際簡単な治具を用いて選択蒸着を行い、基板の最外周部に残る未使用部分14(第1a図)にバリアメタルと電極金属をつけないよ

うにすることができる。その結果バリアメタルと電極の不必要部分をエッチングする際のエッチング量が均一となり、オーバーエッチングされることなく良質のダイオードエレメントが得られるという利点がある。

(発明の効果)

本発明によれば、円形の半導体基板の従来はチップを形成しない周辺部にも三角形形状または台形状のチップを設けることにより、素子としての有効面積が広がり、許容し得る除去可能な部分が増加し、エレメントとしての良品率が向上し、また電流を流した際の損失による熱分布がほぼエレメント全体で均一となる効果が得られるものである。

4. 図面の簡単な説明

第1a図、第1b図は本発明の一実施例のそれぞれ平面図、側面図、第2a図～第2e図は本発明のショットキーバリアダイオードの製造工程の説明図、第3a図、第3b図は従来のもののそれぞれ平面図、側面図である。

1…半導体基板、 2…ガードリング、 3…
酸化膜、 4…方形形状の電極、 6…三角形状の
電極、 7…台形状の電極。

